

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-137619
(P2000-137619A)

(43)公開日 平成12年5月16日(2000.5.16)

(51) Int.Cl. 識別記号 F I テーマコード(参考)
 G 0 6 F 9/46 3 1 0 G 0 6 F 9/46 3 1 0 Z 5 B 0 3 3
 9/30 3 1 0 9/30 3 1 0 B 5 B 0 9 8

審査請求 未請求 請求項の数4 OL (全 7 頁)

(21)出願番号 特願平10-311527
(22)出願日 平成10年11月2日(1998.11.2)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 上牧 春雄
東京都小平市上水本町五丁目20番 1号 株
式会社日立製作所半導体事業本部内

(72) 発明者 木内 淳
東京都小平市上水本町五丁目20番 1号 株
式会社日立製作所半導体事業本部内

(74) 代理人 100089071
弁理士 玉村 静世

F ターム(参考) 5B033 AA10 BA02 BF04
5B098 BB05 BB11 GA01 GD30

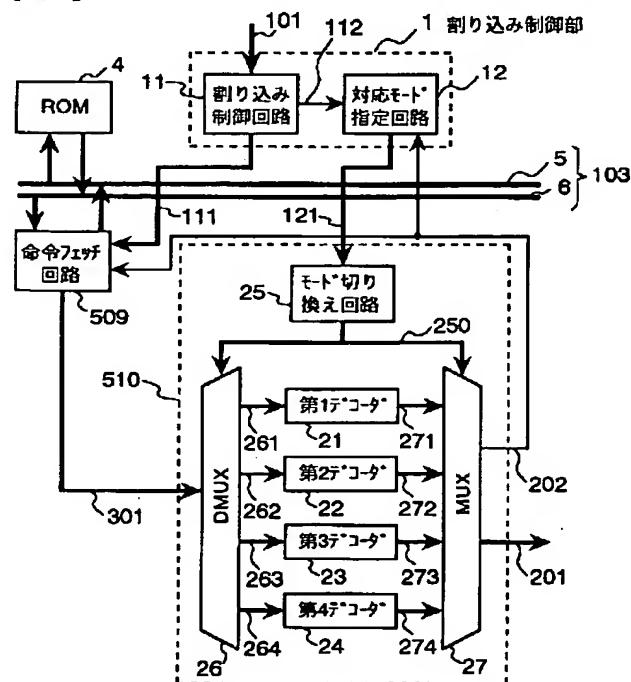
(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【課題】 命令解読モードの切り換えを割り込みに連動して行えるようにすることにある。

【解決手段】 取り込まれた割り込みの内容毎にそれに
対応する命令解読モードを判定する割り込み制御回路
(11) と、上記割り込み制御回路の判定結果に基づいて、命令デコードに関与するデコーダの選択情報を上記命令デコード部に出力するための対応モード指定回路
(12) とを設け、取り込まれた割り込みの内容毎にそれに対応する命令解読モードを判定し、この判定結果に基づいて、命令デコードに関与するデコーダの選択情報を命令デコード部に出力することで、割り込みに基づく命令解読モードの切り替えを達成する。

〔 1 〕



【特許請求の範囲】

【請求項1】 プログラムメモリから命令コードをフェッチするための命令フェッチ手段と、割り込みに対応して予め定義された複数の命令解読モードを備え、上記フェッチ手段によってフェッチされた命令を、指定された命令解読モードでデコード可能な命令デコード部と、

取り込まれた割り込みに対応する命令解読モードを判定して上記命令デコード部に対してそのモードを指定するための割り込み制御部と、

を含むことを特徴とするマイクロコンピュータ。

【請求項2】 プログラムメモリから命令コードをフェッチするための命令フェッチ手段と、割り込みに対応して予め定義された複数の命令解読モードを備え、上記フェッチ手段によってフェッチされた命令を、指定された命令解読モードでデコード可能な命令デコード部と、

取り込まれた割り込みに対応する命令解読モードを判定する割り込み制御回路と、

上記割り込み制御回路の判定結果に基づいて、対応するデコードモードを上記命令デコード部に対して指定するための対応モード指定回路と、

を含むことを特徴とするマイクロコンピュータ。

【請求項3】 上記命令デコード部は、複数のデコーダと、

上記命令フェッチ回路によってフェッチされた命令コードを上記複数のデコーダに振り分けるための第1選択回路と、

上記複数のデコーダの出力信号を選択的に後段回路に伝達するための第2選択回路と、

上記命令解読モード指定手段の指定に基づいて上記第1選択回路及び上記第2選択回路の動作を制御するための切り換え回路とを含む請求項1又は2記載のマイクロコンピュータ。

【請求項4】 上記対応モード指定回路は、割り込みによって指定されたモードを判定するためのモード判定回路と、

上記モード判定回路の判定結果に基づいて指示されたモードを保持するためのモード保持手段と、

上記モード保持手段に現在保持されているモードの直前のモードに復帰させるための情報を待避するモード待避手段とを含む請求項2又は3記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プログラムを構成する一連の命令を実行することによって所定の演算処理を行うマイクロコンピュータに関し、例えば1チップ型のマイクロコンピュータ（シングルチップマイクロコンピュータ）に適用して有効な技術に関する。

【0002】

【従来の技術】 マイクロコンピュータ（マイクロプロセッサと称されることもある）は、CPU（中央処理装置）を中心に所要の周辺回路が1個の半導体基板に含まれていて、その動作プログラムを保有するプログラムROM（リード・オンリー・メモリ）を内蔵する。

【0003】 複数の命令解読モードをもつことで、命令のコード長を増やすずに命令の種類を増やすことのできるマイクロコンピュータが提案されている。

【0004】 そのようなマイクロコンピュータについて記載された文献の例としては、特開平9-330219号公報、特開平9-160774号公報、特開平5-143322号公報、特開平5-120003号公報、及び特開平2-19927号公報等がある。

【0005】

【発明が解決しようとする課題】 上記した命令解読モードの切り換えは、一般には所定の切り換え命令が実行されることにより、あるいは命令の格納されている領域の切り換えにより行われている。

【0006】 しかし、切り換え命令を使用する場合、そのための処理ステップが必要であり、また全ての命令解読モードにおいて、切り換え命令を準備する必要があり、これは同一の切り換え命令を複数もつことになり効率が悪い。

【0007】 これに対し、命令が格納されている領域を切り換える方法であれば、切り換え命令が不要となる分、命令種類が増えるが、各命令解読モード毎にメモリ領域が切り替わるということは、ある命令解読モードを使用した処理が多い場合には、メモリの領域不足となっ

たり、逆にある命令解読モードを使用した処理が少ない場合には、その命令解読モードに対応するメモリ領域が余ってしまい、メモリの使用効率を下げるとなる。また、メモリ領域の自由度を高めようとすれば、メモリのデコード回路の規模が必然的に大きくなる。

【0008】 本発明の目的は、命令の種類を効率良く増やすことができ、また、メモリの使用効率を高く保ったままで複数の命令解読モードの切り換えを行うことができるマイクロコンピュータを提供することにある。

【0009】 本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】 すなわち、プログラムメモリから命令コードをフェッチするための命令フェッチ手段（509）と、割り込みに対応して予め定義された複数の命令解読モードを備え、上記フェッチ手段によってフェッチされた命令を、指定された命令解読モードでデコード可能な

命令デコード部(510)と、取り込まれた割り込みに応する命令解読モードを判定して上記命令デコード部に対してそのモードを指定するための割り込み制御部(1)とを含んでマイクロコンピュータを構成する。

【0012】上記した手段によれば、割り込み制御部は、取り込まれた割り込みの内容毎にそれに対応する命令解読モードを判定し、対応モード指定回路は、この判定結果に対応するデコードモードを上記命令デコード部に出力する。このことが、割り込みに基づく命令解読モードの切り換えを達成する。

【0013】また、プログラムメモリから命令コードをフェッチするための命令フェッチ手段(509)と、複数の複数の命令解読モードを備え、上記フェッチ手段によってフェッチされた命令を、指定された命令解読モードでデコード可能な命令デコード部(510)と、取り込まれた割り込みの内容毎にそれに対応する命令解読モードを判定する割り込み制御回路(11)と、上記割り込み制御回路の判定結果に基づいて、対応するデコードモードを上記命令デコード部に出力するための対応モード指定回路(12)とを含んでマイクロコンピュータを構成することができる。

【0014】このとき、上記命令デコード部は、複数のデコーダ(21~24)と、上記命令フェッチ回路によってフェッチされた命令コードを上記複数のデコーダに振り分けるための第1選択回路(26)と、上記複数のデコーダの出力信号を選択的に後段回路に伝達するための第2選択回路(27)と、上記対応モード指定回路の指定に基づいて上記第1選択回路及び上記第2選択回路の動作を制御するための切り換え回路(25)とを含んで容易に構成することができる。

【0015】また、デコードモード変更前のモードへの復帰の容易化を図るには、割り込みに基づいてモードを判定するためのモード判定回路(13)と、上記モード判定回路の判定結果に基づいて指示されたモードを保持するためのモード保持手段(14)と、上記モード保持手段に現在保持されているモードの直前のモードに復帰させるための情報を待避するモード待避手段(15)とを含んで対応モード指定回路を構成することができる。

【0016】

【発明の実施の形態】図3には、本発明にかかるマイクロコンピュータが適用されるコンピュータシステムが示される。

【0017】このコンピュータシステムは、バスBUSESを介して、マイクロコンピュータ131、SDRAM(シンクロナス・ダイナミック・ランダム・アクセス・メモリ)132、SRAM(スタティック・ランダム・アクセス・メモリ)133、ROM(リード・オンリ・メモリ)134、周辺装置制御部135、表示制御系136などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行

う。上記マイクロコンピュータ131は本システムの論理的中核とされる。SDRAM132、SRAM133、及びROM134は内部記憶装置として位置付けられている。そして、SDRAM132には、マイクロコンピュータ131での計算や制御に必要なアプリケーションプログラムやデータがロードされる。SRAM133は、キャッシングメモリとして利用される。周辺装置制御部135によって、外部記憶装置138の動作制御や、キーボード139などからの情報入力制御が行われる。また、上記表示制御系136の表示制御により、CRTディスプレイ140への情報表示制御が行われる。

【0018】図4にはマイクロコンピュータ131の構成例が示される。

【0019】このマイクロコンピュータ1は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコン基板などの一つの半導体基板に形成されている。

【0020】マイクロコンピュータ131は、特に制限されないが、CPU(中央処理装置)50、ROM(リード・オンリ・メモリ)4、RAM(ランダム・アクセス・メモリ)7、タイマ53、シリアルコミュニケーションインターフェース(SCI)54、A/D(アナログ/ディジタル)変換器55、割り込み制御部1、並びに第1乃至第9ポート41~49などの機能ブロックを含み、それらは、内部アドレスバス5や内部データバス6などによって互いに信号のやり取りが可能となるように結合されている。

【0021】このマイクロコンピュータ131における主記憶装置は上記RAM51とROM4であり、RAM51はCPU50の作業領域又はデータの一時記憶領域として利用される。ROM4は、特に制限されないが、CPU50の動作プログラムを保有する。このROM4は、特に制限されないが、EPROMライタによって情報をマイクロコンピュータの外部から書き込み可能なEPROM(エレクトリカル・プログラマブル・リード・オンリー・メモリ)とされる。

【0022】また、上記半導体基板の周縁部には、電極パッドとして例えば多数のボンディングパッドが配置される。例えば、第1乃至第9ポート41~49の入出力

40 端子に結合されたボンディングパッドP10~P17、P20~P24、P30~P37、P40~P47、P50~P57、P60~P63、P70~P77、P80~P87、P90~P97や、クロックジェネレータ56の入力端子に結合されたボンディングパッドXTAL、EXTALなどが配置される。ボンディングパッドXTAL、EXTALには、図示しない振動子が接続され、あるいは外部クロックが供給される。

【0023】このようにして構成されたチップ若しくはペレットとしてのマイクロコンピュータ131は組み立て工程において、パッケージのマウント部にダイボンデ

イングされ、パッケージのリード端子にボンディングパッドがワイヤボンディングされた後に封止される。

【0024】マイクロコンピュータ131は、各種ポートを介して外部とのインターフェースを行うようになっている。ポートの機能は動作モードの設定で指定することができ、アドレス信号を外部に出力して外部メモリや周辺デバイスをアクセスする動作モードもサポートする。

【0025】図5には上記CPU50の構成例が示される。

【0026】509は命令フェッチ回路であり、この命令フェッチ回路509は、内部データバス6に結合されており、ROM4に記憶されている命令コードをフェッチする。この命令フェッチ回路109の後段には、フェッチされた命令コードをデコードすることによって当該命令を解読するための命令デコード部510が配置される。命令デコード部510での命令デコード結果は、後段に配置された制御部511に入力される。この制御部511は、CPU50の内部及び外部に対して適当な制御信号を送出して、上記命令デコード部510でデコードされた命令で指定される必要な動作を、いくつかのステップに分けて実行する。

【0027】算術論理演算ユニット(ALU)507は、データに対して必要な数値演算、及び論理演算を行うためのハードウェアユニットである。数値演算には加算、減算、掛算、割算等があり、論理演算には論理和、論理積の演算があり、2進法加算回路を基本として実行される。そのようなALU507には、演算途中で生ずる種々の状態を保持するためのフラグフリップフロップ506が結合されている。また、ALU507での演算のために一時的にデータを保持するための一時レジスタ505や、各種レジスタ群116が内部バス103に結合されている。

【0028】上記各種レジスタ群116には、特に制限されないが、CPU50が次に実行すべき命令のアドレスを格納するためのレジスタであるプログラムカウンタPC、命令実行結果のステータスを格納するためのステータスレジスタSR、各種演算処理に適宜使用される汎用レジスタR0～Rnと、タスクスタック領域を指示するためのレジスタであるスタックポインタSPが含まれる。

【0029】図1には割り込み制御部1及び命令デコード部510の構成例が示される。

【0030】割り込み制御部1は、特に制限されないが、割り込み制御回路11と対応モード指定回路12により構成される。割り込み制御回路11は、割り込み要求101を受け取ると、その要求内容を判定し、割り込み信号111を命令フェッチ回路509に送り、割り込み内容信号112を対応モード指定回路12に送る。対応モード指定回路12は、割り込み制御回路11より送られてくる割り込み内容信号112に対応するデコード

モードを指定するためのモード指定信号121をデコーダ2に送信する。

【0031】命令デコード部510は、特に制限されないが、複数のデコードモードを実現するために、それぞれ異なる命令のデコードを行う第1命令デコーダ21、第2命令デコーダ21、第3命令デコーダ23、第4命令デコーダ24と、上記4つのデコーダ21, 22, 23, 24のうちのどのデコーダを用いるかを指定するモード切り換え回路25と、上記モード切り換え回路25から出力されるモード信号250に従い、命令コード301を上記4つのデコーダのうちのどのデコーダに送るかを決定する第1選択回路26と、上記4つのデコーダ21, 22, 23, 24からそれぞれ出力されるデコード結果271, 272, 273, 274のうちからひとつを選択することにより、制御部511へ伝達される制御信号群201と、命令フェッチ回路509に対する割り込み復帰信号202とを生成する第2選択回路27とを含んで成る。

【0032】図2には上記対応モード指定回路12の構成例が示される。

【0033】対応モード指定回路12は、特に制限されないが、モード判定回路13とモード保持回路14及びモード退避回路15を含んで成る。

【0034】モード判定回路13は割り込み内容信号112によって指定されたモードを判定し、モード変更信号130をモード保持回路14に出力する。

【0035】モード保持回路14は、現在のモードを保持するためのレジスタを含んで構成される。モード待避回路15は、上記モード保持回路14とデータのやり取りが可能とされる。モード変更信号130に基づいて、それまでモード保持回路14に保持されていたモードが変更されるとき、変更前のモードは、モード待避回路15へ待避される。

【0036】モード保持回路14に新しいモードが保持されると、モード指定信号121によって新しいモードが outputされる。更にモード保持回路14では、割り込み復帰信号202を受け取ると、モード退避回路15より割り込みに入る前のモードを読み出し、モード指定信号121に出力する。ここでモード判定回路13は、メモリによって構成され、割り込み内容112がアドレスとして取り込まれ、それに対応するデータとしてモード切り換え信号130が outputされる。ここでモード退避回路15は、必要十分な書き換え可能なメモリにより構成され、複数のモードを保持できる。このため割り込み処理の最中に他の割り込みを受けた場合でも、そのときのモードを格納して次のモードに移行できる。また、モード退避回路15からモードを読み出す順番は、格納したときとは逆の順番となる。

【0037】次に、主要動作を説明する。

【0038】命令デコード部510において第1デコー

ダ21を使用して命令のデコードを行っている（これをモード1とする）ときに、割り込み要求101がアサートされ、この割り込み要求101が第2デコーダ22を使用するモード（これをモード2とする）に対応しているとき、割り込み制御回路11は、割り込み信号111をアサートすると共に、割り込み内容112を出力する。命令フェッチ回路509は、そのときの命令アドレスを退避した後、割り込み信号111に基づき所定の割り込み処理が格納されているアドレスをアドレスバス5に出力し、割り込み処理の命令をデータバス6を介してROM4より読み出す。

【0039】対応モード指定回路12は、それまでのモード1をモード退避回路15に格納し、モード指定信号121により新たなモード2をモード切り換え回路25に指示する。

【0040】以後命令デコード部510は、第2デコーダ22を用いて命令のデコードを行う。割り込み処理が終了すると、割り込み復帰信号202がアサートされる。これにより、対応モード指定回路12では、モード退避回路15から、割り込みが来る前のモードが読み出され、モード指定信号121がモード1に変更される。つまり、割り込みの直前のデコードモードに復帰される。また命令フェッチ回路509では、上記割り込み復帰信号202に従い、退避していたアドレスを読み出しアドレスバス5へ出力し、割り込み要求が101が来る前に行っていた処理へ復帰する。

【0041】上記した例によれば、以下の作用効果を得ることができる。

【0042】（1）割り込み制御部1において、取り込まれた割り込みに対応する命令解読モードが判定され、この判定結果に基づいて命令解読モードが変更されるようになっているので、割り込みによって命令解読モードの変更が可能とされる。処理の内容が大きく変わるのは割り込みによる場合が最も多いと考えられるから、割り込みにより命令解読モードの切り換えを行うことは効果的である。

【0043】また、この命令解読モードの変更は、モード切り換え命令によって命令解読モードを変更する方式ではないので、切り換え命令のためのステップは不要であり、全ての命令解読モードにおいて切り換え命令を準備する必要もない。さらに、命令が格納されている領域を切り換える方式ではないので、ある命令解読モードを使用した処理が多い場合にはメモリ容量不足になったり、逆にある命令解読モードを使用した処理が少ない場合にはその命令解読モードに対するメモリ容量が余ってしまってメモリの使用効率の低下を招くこともない。

【0044】（2）割り込みに応じて予め定義された複数の命令解読モードを備える命令デコード部510は、複数のデコーダ21～24と、命令フェッチ回路によってフェッチされた命令コードを上記複数のデコーダに振

り分けるための第1選択回路26と、上記複数のデコーダの出力信号を選択的に後段回路に伝達するための第2選択回路27と、上記対応モード指定回路の指定に基づいて上記第1選択回路及び上記第2選択回路の動作を制御するための切り換え回路25とを含んで容易に構成することができる。

【0045】（3）割り込みに基づいてモードを判定するためのモード判定回路13と、上記モード判定回路の判定結果に基づいて指示されたモードを保持するためのモード保持手段14と、上記モード保持手段に現在保持されているモードの直前のモードに復帰させるための情報を退避するモード待避手段15とを含んで対応モード指定回路を構成することにより、デコードモード変更前のモード復帰の容易化を図ることができる。

【0046】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0047】例えば、命令デコード部510を構成する20デコーダの数は任意に決定することができる。

【0048】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である汎用マイクロコンピュータに適用した場合について説明したが、用途が限定されて専用化されたマイクロコンピュータにも本発明を適用することができる。

【0049】本発明は少なくともフェッチされた命令を解読するための手段を含むことを条件に適用することができる。

【0050】

30 【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0051】すなわち、取り込まれた割り込みに対応する命令解読モードが判定され、この判定結果に基づいて命令解読モードが変更されるようになっているので、割り込みによって命令解読モードの変更が可能とされる。

【0052】また、モード切り換え命令によって命令解読モードを変更する方式ではないので、切り換え命令のためのステップは不要であり、全ての命令解読モードにおいて切り換え命令を準備する必要もない。

【0053】さらに、命令が格納されている領域を切り換える方式ではないので、ある命令解読モードを使用した処理が多い場合にはメモリ容量不足になったり、逆にある命令解読モードを使用した処理が少ない場合にはその命令解読モードに対するメモリ容量が余ってしまってメモリの使用効率の低下を招くこともない。

【図面の簡単な説明】

【図1】本発明にかかるマイクロコンピュータにおける主要部の構成例ブロック図である。

50 【図2】上記マイクロコンピュータに含まれる対応モー

ド指定回路の構成例ブロック図である。

【図3】上記マイクロコンピュータを含むコンピュータシステムの全体的な構成例ブロック図である。

【図4】上記マイクロコンピュータの全体的な構成例ブロック図である。

【図5】上記マイクロコンピュータに含まれるCPUの構成例ブロック図である。

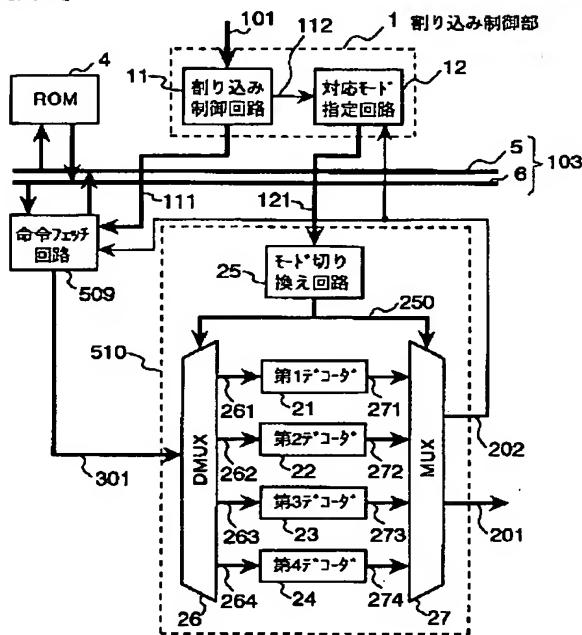
【符号の説明】

- 1 割り込み制御部
- 4 ROM
- 5 アドレスバス
- 6 データバス

- 1 1 割り込み制御回路
- 1 2 対応モード指定回路
- 1 3 モード判定回路
- 1 4 モード保持回路

[図 1]

【 1]

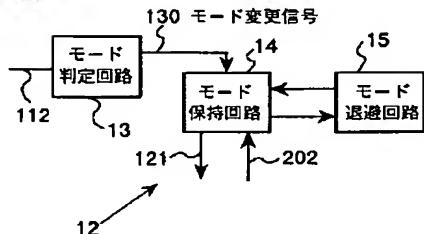


七一下退避回路

2 1	第1デコーダ
2 2	第1デコーダ
2 3	第2デコーダ
2 4	第4デコーダ
2 5	モード切り換え回路
2 6	第1選択回路
2 7	第2選択回路
10	割り込み要求信号
1 1 1	割り込み信号
1 1 2	割り込み内容
1 2 1	モード指定信号
1 3 1	モード変更信号
2 0 2	割り込み復帰回路
5 1 0	命令デコード部
5 0 9	命令フェッチ回路

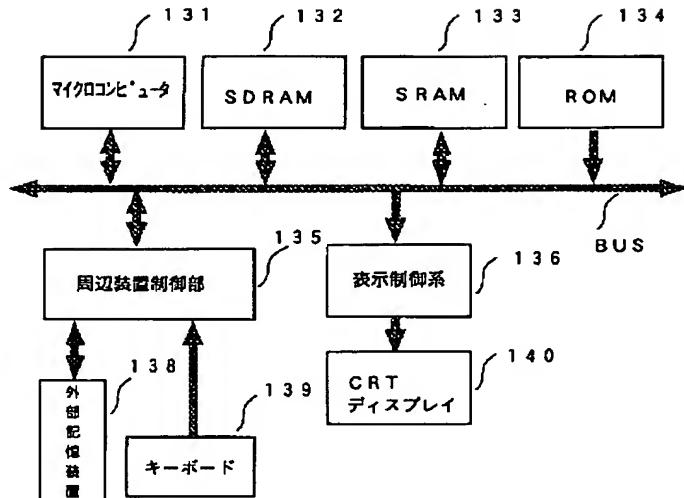
[図2]

[図2]



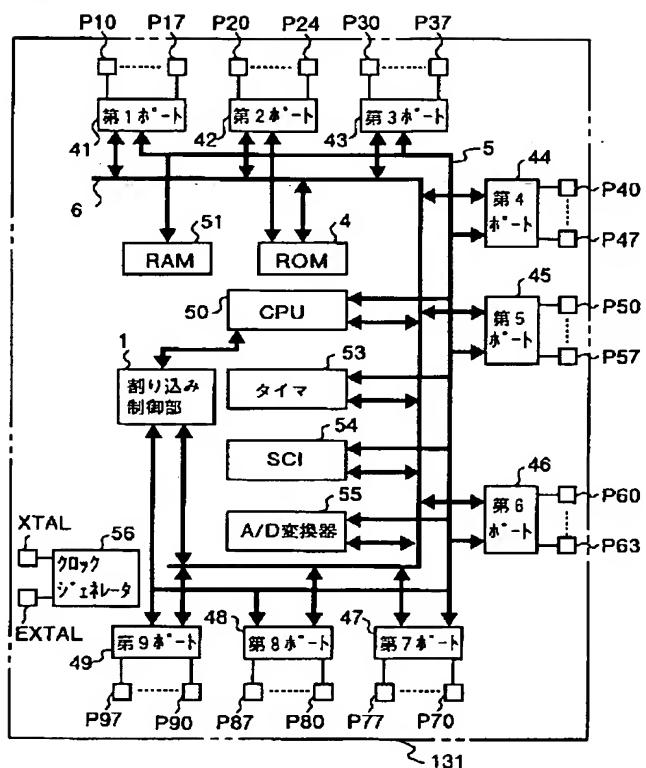
〔図3〕

3



【図4】

【図4】



【図5】

